

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

09/239,948
7 1/2

009462044 **Image available**

WPI Acc No: 93-155579/199319

XRAM Acc No: C93-069313

XRPX Acc No: N93-119242

Mfr. polycrystal semiconductor film - by forming recesses with dimensions
about equal to that of silicon@ fine powder NoAbstract

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 5090159	A	19930409	JP 91278705	A	19910930	H01L-021/20	199319 B

Priority Applications (No Type Date): JP 91278705 A 19910930

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 5090159	A		4			

Title Terms: MANUFACTURE; POLYCRYSTALLINE; SEMICONDUCTOR; FILM;
FORMING;

RECESS; DIMENSION; EQUAL; SILICON; FINE; POWDER; NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/20

International Patent Class (Additional): H01L-021/336; H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04098459 **Image available**

PRODUCTION OF POLYCRYSTALLINE SEMICONDUCTOR FILM

PUB. NO.: 05-090159 [JP 5090159 A]

PUBLISHED: April 09, 1993 (19930409)

INVENTOR(s): HOSOKAWA MAKOTO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company

or Corporation), JP (Japan)

APPL. NO.: 03-278705 [JP 91278705]

FILED: September 30, 1991 (19910930)

INTL CLASS: [5] H01L-021/20; H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL: Section: E, Section No. 1411, Vol. 17, No. 431, Pg. 36,
August 10, 1993 (19930810)

ABSTRACT

PURPOSE: To obtain a polycrystalline silicon semiconductor film having uniform crystalline grains by periodically providing recesses on a board, securing fine powder of silicon to the recesses, forming amorphous silicon thereon and heating to crystallize it.

CONSTITUTION: A glass board 1 is first coated with resist 2 to form a predetermined pattern. The board 1 is etched, and the resist is further removed to form recesses. The recesses are provided like crosses of a 'go' board (or a checkerboard) in a matrix state of a predetermined interval. Then, fine powder of silicon having substantially the same size as the recesses is dissolved in organic solvent, the board 1 is coated with the solution, and the solvent is evaporated by heat to secure the powder to the recesses. Here, an amorphous silicon semiconductor film is formed on the board. Thus, a polycrystalline silicon semiconductor film having uniform crystalline grains can be obtained.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-90159

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl. ⁸	識別記号	弁内整理番号	F I	技術表示箇所
H 0 1 L 21/20		9171-4M		
21/336				
29/784				
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
審査請求 未請求 請求項の数1(全 4 頁)				

(21)出願番号 特願平3-278705

(22)出願日 平成3年(1991)9月30日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 細川 誠

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 多結晶半導体膜作製方法

(57)【要約】

【構成】 基板上に凹部を設ける工程と、この凹部に凹部と概略同一寸法を有する珪素の微粉末を位置させる工程と、非晶質珪素半導体膜を成膜しこの非晶質珪素半導体膜を加熱アニールする工程とにより、凹部に配置された珪素の微粉末を結晶核に多結晶珪素半導体膜を得ることを特徴とする。

(2)

特開平05-090159

【特許請求の範囲】

【請求項1】 基板上に珪素の微粉末を塗布した後、焼結する工程と、該工程の後非晶質半導体膜を成膜する工程と、該工程の後前記非晶質半導体膜を多結晶化させるための加熱をする工程とを有することを特徴とする多結晶半導体膜作製方法であって、

前記基板には、前記珪素の微粉末と概略同一の大きさを有する凹部が形成されていることを特徴とする多結晶半導体膜作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、結晶粒径を制御したかたちで生成させ、しかも結晶粒径がそろった多結晶半導体膜の作製方法に関するものである。変換装置、薄膜トランジスタ等の半導体装置に用いることができるものである。

【0002】

【従来の技術】

【0003】 従来、多結晶半導体膜を作製する方法としては、例えば珪素の場合、溶融した珪素中から多結晶珪素の芯を用いて液相成長によってバルク状の多結晶珪素半導体を得る方法や、気相化学反応法等によって成膜された非晶質珪素半導体膜を加熱することによって固相成長させ多結晶珪素半導体を得る方法、さらにはガラス基板上等に成膜された非晶質珪素半導体膜に対してレーザー照射を行うことによって多結晶珪素半導体膜を得る方法等が知られている。

【0004】 特に、ガラス基板上等に気相化学反応法で非晶質半導体膜を成膜し、この非晶質半導体膜を加熱することによって結晶化させる方法（固相成長法と呼ばれる）は、低コストであり、大面積化が可能であるという点で、太陽電池、TFT（薄膜トランジスタ）等に応用することがさかんに研究されている。

【0005】

【発明が解決しようとする課題】 しかしながら上記従来の固相成長によって得られる多結晶珪素半導体膜は、その核発生数や結晶粒径を制御することが困難であるという問題があった。特に、不均一な粒径に起因する欠損の存在や不純物の存在が問題とされていた。

【0006】

【課題を解決するための手段】 本発明は、結晶核の発生数と結晶粒径を制御するために珪素の微粉末をこの珪素の微粉末と概略同じ大きさを有した凹部を設けた基板上に塗布する工程と、この基板上に塗布された珪素の微粉末を焼結する工程と、該工程の後非晶質珪素半導体膜を製膜する工程と、該工程の後加熱することによって前記非晶質珪素半導体膜を結晶化させる工程とを有することを特徴とする多結晶半導体膜作製方法である。

【0007】 上記本発明の構成において、基板としては、ガラス基板、単結晶または多結晶のシリコンウェ

ハ、さらには絶縁体または半導体の基板を用いることができる。

【0008】 珪素の微粉末と概略同じ大きさの凹部を基板上に設けるというのは、凹部の窪みの部分の大きさを珪素の微粉末の大きさ（微粉末の直径）と概略合わせるということである。

【0009】 本発明は、珪素の微粉末を結晶核として珪素の結晶粒を成長させることによって多結晶珪素膜を形成することを目的とするものである。そこで、本発明の構成においては、結晶核となる珪素の微粉末を基板上に定着させた後に非晶質珪素半導体膜を気相化学反応法等で成膜し、550度～800度程度の温度で加熱することによって結晶化させるのである。

【0010】 作製される結晶粒径の大きさを制御するには、基板上に設けられる凹部の大きさと間隔、さらには珪素の微粉末の大きさを制御することによって行うことができる。もちろんこの場合、珪素の微粉末に結晶性を有しているもの（好ましくは単結晶のもの）を用いることが重要である。なぜならば、この微粉末を結晶核として結晶が成長するからである。

【0011】 本明細書中における結晶の粒径とは、基板の上面方向からみた結晶の大きさを示すものである。本発明の構成のように基板上に形成される薄膜状の多結晶珪素半導体膜は、柱状に成長することが知られており、本明細書中においてはこの柱状の結晶の柱の直径に相当する部分を粒径と定義する。また、珪素の微粉末の大きさは、この微粉末の直径と定義する。

【0012】 具体的に結晶粒径を制御する方法としては、基板表面上に設けられる凹部の大きさを変化させることで、その大きさに従った結晶粒を得ることができる。もちろんこの場合、凹部の大きさよりも結晶核となる凹部の大きさが小さいことが条件である。また、結晶核となる珪素の微粉末の大きさを変化させることによって結晶粒径の大きさを変化させることができる。

【0013】 また、結晶核となる珪素の微粉末同士が結合して多結晶珪素半導体膜になる場合もあり、この場合は微粉末の大きさと、結晶粒径の大きさはほとんど同じになる。もちろん、結晶は粒状に成長していくのであるから珪素の微粉末を結晶核として成長することに変わりはない。

【0014】 結晶粒がそろった状態で多結晶珪素半導体膜を得ることは、均一な膜質を大面積にわたって必要とする太陽電池にとっては重要なことである。大粒径の結晶をそろえることで最良の電気特性を有した多結晶珪素半導体膜を得ることができる。これは、結晶の粒界すなわち結晶粒と結晶粒の境に格子欠陥や半導体の電気的特性に悪影響を与える不純物が存在しており、これら格子欠陥や不純物の影響を最小限に抑えるために均質に大粒径の結晶をそろえて設けることによってこの粒界の面積の割合を最小限にすることができるからである。

(3)

特開平05-090159

【0015】

【実施例】（実施例1）本実施例は、図1に示すように10 μ m間隔で設けた凹部、別な見方をするならば10 μ m間隔で設けられた10 μ mの幅を有する凸部を基板上に設けたものである。また、基板上に10 μ m間隔で凹凸を付けたものであるということもできる。以下その作製工程を説明する。

【0016】本実施例においては、基板としてコーニング7059ガラス基板（以下ガラス基板と記載する）を用いた。

【0017】まずガラス基板1上にレジスト2（ポジ型でもネガ型でもよい）を塗布し、公知のフォトリソグラフィ工程を経ることによって図1に示すようなパターンをガラス基板上に形成する。そして、化学的にガラス基板をエッチングすることによってガラス基板1を0.1 μ m～2 μ m本実施例においては約、3 μ mの深さにエッチングする。そしてレジストを除去することによって凹部を形成する。

雰囲気
基板温度
成膜圧力
高周波電力（13.56MHz）

である。

【0021】前記工程によって成膜した非晶質珪素半導体膜を600度の温度で24時間加熱することによって結晶を固相成長させ、多結晶珪素半導体膜をガラス基板上に形成した。この固相成長すなわち非晶質珪素を結晶化させるための加熱工程は、550度から800度の温度範囲において可能であり、その加熱時間も膜厚等の成膜条件の違いによって2時間～96時間程度の範囲で可能である。

【0022】本実施例において作製した多結晶珪素半導体膜を断面SEM写真によって観察を行ったところ、結晶の粒径が約10 μ mであり、結晶粒のそろった多結晶珪素半導体膜を得ることができた。

【0023】（実施例2）本実施例は、実施例1と同様な結晶成長方法を用いることによって、基板側からPIN構造を有する光電変換装置すなわち太陽電池を作製したものである。

【0024】本実施例には、コーニング7059ガラス基板上に高濃度にN型の導電性を付与する不純物を添加した裏面電極となる非晶質半導体、その上にN型の導電性を有する非単結晶半導体膜、さらにI型となる真性または実質的に真性（不純物を人為的に添加していないという意味）の非晶質珪素半導体膜、さらにP型の導電性を有する非晶質半導体膜を積層し、600度、24時間の温度で加熱することによって、多結晶化したものである。

【0025】本発明の構成のようにガラス基板表面から結晶核を成長させる場合、前述のように結晶は柱状に成

【0018】図1には基板を断面方向から見た断面図が示されているが、この断面から角度にして90°異なる方向から見た断面図も図1と同様である。すなわち、この凹部は基盤の目のように設けられているのであり、10 μ m間隔に凹部がマトリックス状に設けられているのである。

【0019】前記工程において形成した深さ約0.3 μ mの凹部を有するガラス基板上に大きさが約10 μ mの珪素の微粉末を有機溶剤に溶かして塗布した。そして300度で1時間の時間をかけ有機溶剤を飛ばすことによって、珪素の微粉末をガラス基板上に固着（定着）させた。このようにして珪素の微粉末をガラス基板上に設けた凹部に配置させることができた。

【0020】つぎに、前記工程において凹部に珪素の微粉末が配置させられたガラス基板上にプラズマ気相反応方法によって非晶質珪素半導体膜を10 μ mの厚さに形成した。成膜条件は、

SiH₄（流量10～100sccm）
100～400度
0.01～1.00Torr
10～80W

長するので、上記のようにNIPと異なる導電性を有する半導体層を積層しても、層全体を結晶化させることができる。すなわち基板とN層との界面で珪素の微粉末を結晶核として発生した結晶は、I層そしてP層と連続的に柱状に成長していくのである。

【0026】以下本実施における裏面電極並びにNIP各層の非晶質珪素半導体の作製条件を示す。電極となるN⁺層の成膜条件は、

雰囲気 SiH₄（流量50sccm）（PH₃1000ppm添加）
基板温度 100～400度
成膜圧力 0.01～1.00Torr
高周波電力 10～80W（13.56MHz）
であり、7000Åの厚さに成膜した。

【0027】N層の成膜条件は、

雰囲気 SiH₄（50sccm）（PH₃10ppm添加）
基板温度 100～400度
成膜圧力 0.01～1.00Torr
高周波電力 10～80W（13.56MHz）
であり、500Åの厚さに成膜した。

【0028】I層の成膜条件は、

雰囲気 SiH₄（10～100sccm）
基板温度 100～400度
成膜圧力 0.01～1.00Torr
高周波電力 10～80W（13.56MHz）
であり、10 μ mの厚さに成膜した。

【0029】P層の成膜条件は、

(4)

特開平05-090159

雰囲気 SiH_4 (50 sccm) (B_2H_6 610 ppm添加)
 基板温度 100~400度
 成膜圧力 0.01~1.00 Torr
 高周波電力 10~80W (13.56MHz)
 であり、500Åの厚さに成膜した。

【0030】その後、 N_2 雰囲気中において600度の温度で24時間加熱し、結晶化を行った。この結晶化のための加熱は450度~800度好ましくは550度から700度の温度で可能である。

【0031】本実施例のような構成をとることによって、結晶粒径のそろった多結晶半導体膜を用いた太陽電池を得ることができた。

【0032】

【発明の効果】本発明の構成のように基板上に凹部を周期的に設け、その凹部に珪素の微粉末を固着させ、その上に非晶質珪素を成膜し、加熱結晶化させることで、結晶

粒径のそろった多結晶珪素半導体膜を得ることができた。そして、本発明の構成をとることによって得られる多結晶珪素半導体膜は、太陽電池、薄膜トランジスタのチャネル形成領域やソース、ドレイン領域の半導体層、他の半導体装置に応用することができる。

【0033】以上の説明においては、珪素を例として説明を行ってきたが、珪素以外の半導体を用いることも可能である。そして、非晶質半導体の成膜方法もプラズマCVD法に限定されず、他のCVD法やスパッタ法等を用いてもよい。

【図面の簡単な説明】

【図1】 本発明の構成を用いた実施例1における基板の加工工程を示すものである。

【符号の説明】

- 1 ガラス基板
- 2 レジスト

【図1】

